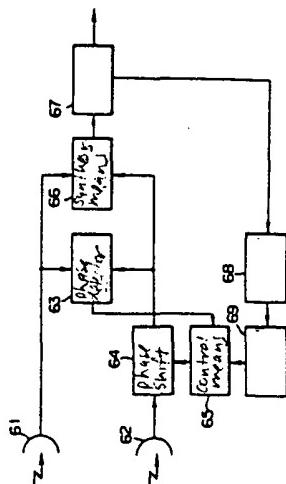


(54) IN-PHASE SYNTHETIC SYSTEM SPACE DIVERSITY RECEIVER

(11) 2-248124 (A) (43) 3.10.1990 (19) JP
(21) Appl. No. 64-68667 (22) 20.3.1989
(71) FUJITSU LTD (72) AKIHIKO KITAZAWA(1)
(51) Int. Cl. H04B7/08

PURPOSE: To restore the receiver to the pull-in state of a reception wave quickly by detecting the production of the inverted phase state and controlling the receiver so as to be escaped from the inverted phase state in response to the detection.

CONSTITUTION: The relation of phase of reception signals between antennas 61 and 62 is controlled by a phase shift means 64, a phase difference is detected by a phase detection means 63 and a control means 65 the receiver to be in the pull-in state in response to the detected phase difference. The reception signals after the phase control are synthesized by a synthesis means 66 and a synthesized output is subject to automatic gain control by an AGC control means 67, the inverted phase locking state is detected by an inverted phase synchronizing lock state detection means 68 and the receiver is controlled by an inverted phase escaping means 69 so as to escape the receiver forcibly from the inverted phase at the detection. Thus, the synchronizing state is quickly restored to the pull-in state.



⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A) 平2-248124

⑫Int.Cl.⁵

H 04 B 7/08

識別記号

厅内整理番号

D 8226-5K

⑬公開 平成2年(1990)10月3日

審査請求 未請求 請求項の数 1 (全8頁)

⑭発明の名称 同相合成方式スペースダイバーシチ受信機

⑮特 願 平1-68667

⑯出 願 平1(1989)3月20日

⑰発明者 北沢 昭彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰発明者 涌井 寿和 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰代理人 弁理士 井桁 貞一 外2名

明細書

1. 発明の名称

同相合成方式スペースダイバーシチ受信機

2. 特許請求の範囲

1. 離隔配置された二つのアンテナ(61, 6

2)で受信された二つの受信信号の位相関係を制御する移相手段(64)と、

該位相制御された受信信号の位相差を検出する位相検出手段(63)と、

該位相検出手段(63)の検出位相差に応じて同相引込み状態となるように該移相手段(64)を制御する制御手段(65)と、

該位相制御後の受信信号を合成する合成手段(66)と、

該合成回路(66)の出力信号を自動利得制御しつつ増幅するACC増幅手段(67)と、

該ACC増幅手段(67)の制御信号に基づき逆相引込み状態を検出する逆相引込み検出手段(68)と、

該逆相引込み検出手段(68)で逆相引込み状態が検出された時に強制的に逆相から抜け出すよう位相制御を行う逆相抜け出し手段(69)とを具備してなる同相合成方式スペースダイバーシチ受信機。

3. 発明の詳細な説明

(概要)

同相合成方式のスペースダイバーシチ(SD)を用いた同相合成方式SD受信機に関し、

受信信号の位相関係が逆相に引き込まれた場合でも、速やかに逆相状態から抜け出して同相引込み状態に復旧することを目的とし、

離隔配置された二つのアンテナで受信された二つの受信信号の位相関係を制御する移相手段(64)と、位相制御された受信信号の位相差を検出する位相検出手段と、位相検出手段の検出位相差に応じて同相引込み状態となるように該移相手段を制御する制御手段と、位相制御後の受信信号を合成する合成手段と、合成回路の出力信号を自動利

得制御しつつ増幅する A G C 増幅手段と、 A G C 増幅手段の制御信号に基づき逆相引込み状態を検出する逆相引込み検出手段と、逆相引込み状態が検出された時に強制的に逆相から抜け出すように制御を行う逆相抜け出し手段とを具備してなる。

(産業上の利用分野)

本発明は、同相合成方式のスペースダイバーシチ (S D) を用いた同相合成方式 S D 受信機に関する。

スペースダイバーシチはマルチバスフェージングまたは降雨減衰等による影響を軽減するために有効な受信方式である。近年のスペースダイバーシチ方式では位相検出による同相合成方式が主流となっている。しかしながら、この同相合成方式では、位相検波器の同相と逆相の検出電圧が同じであるため、受信信号を逆相に引き込んだまま制御が停止し、信号断等の状態になってしまことがある。したがって逆相に引き込んだ場合にも迅速にこの逆相状態から抜け出して、正常に同相引

込み状態に復旧できることが必要とされる。

(従来の技術)

第 5 図には同相合成方式 S D 受信機の従来例が示される。図において、1 は主系アンテナ、2 は S D 用の副系アンテナであり主系アンテナ 1 と副系アンテナ 2 で受信された受信波 R F m, R F s は増幅器 6, 7 でそれぞれ増幅された後にミキサ 8, 9 に入力されて中間周波帯の主系信号 I F m と副系信号 I F s にそれぞれ変換される。ここで 10 はミキサ 8, 9 に周波数変換用の局部発振周波数信号を供給する局部発振器、11 はミキサ 9 に供給される局部発振周波数信号を制御回路 5' の指示する量だけ移相する無限移相器である。

主系信号 I F m と副系信号 I F s は増幅器 1 2 と 1 3, イコライザ 1 4 と 1 5 をそれぞれ介した後に合成器 1 6 で合成される。この合成器 1 6 の合成出力信号は帯域フィルタ 1 7 を介して A G C (自動利得制御) 増幅器 1 8 に入力され、一定レベルの受信信号に増幅されて出力される。

イコライザ 1 4 と 1 5 から出力された主系信号 I F m と副系信号 I F s はそれぞれ位相検波回路 3' に入力される。位相検波回路 3 はイコライザ 1 5 の副系信号 I F s を増幅する A G C 増幅器 3 2、この A G C 増幅器 3 2 の出力信号を $\pi/2$ 移相する移相器 3 3、イコライザ 1 4 の主系信号 I F m を増幅する A G C 増幅器 3 1、A G C 增幅器 3 4 の出力信号と移相器 3 3 の出力信号を乗算して位相差を検出する乗算器からなる位相検波器 3 4 からなる。なお、上述の A G C 増幅器 3 2 と移相器 3 3 はその位置を逆にしてもよい。

この移相検波回路 3' の検波特性が第 6 図に示される。第 7 図において、縦軸は位相検波電圧 V pd、横軸は主系信号 I F m と副系信号 I F s の位相差 θ を示す。図示の如く、位相検波電圧 V pd は位相差 θ が 0° と $\pm 180^\circ$ の時にゼロとなり、 $\pm 90^\circ$ の時に最大 ± V mx となる正弦波状の特性が得られる。ここで移相器 3 3 で入力信号を $\pi/2$ 移相させたのは位相差 θ が 0° 付近で位相検波電圧 V pd の検出感度を最大とするためである。

位相検波回路 3 の位相検波出力信号は制御回路 5' に入力される。制御回路 5' はこの検波出力信号に基づき無限移相器 1 1 の移相量 θ を決定して制御信号 $\sin \theta, \cos \theta$ を無限移相器 1 1 に送出して、これを θ だけ位相回転させる。

この S D 受信機の動作を以下に説明する。到來した無線波はアンテナ 1 と 2 で受信される。これら 2 系統の受信波 R F m, R F s はミキサ 8 と 9 でそれぞれ中間周波帯の主系信号 I F m と副系信号 I F s に変換され、合成器 1 6 で合成される。この際、無限移相器 1 1 で局部発振器 1 0 の局部発振周波数信号の位相を適当にシフトさせることによって主系信号 I F m と副系信号 I F s の位相を合成器 1 6 において同相とすることができます。したがって受信信号は合成器 1 6 において最大レベルに同相合成されて出力されることになる。

無限移相器 1 1 の位相シフトは主系信号 I F m と副系信号 I F s の位相差 θ を位相検波回路 3 で検出し、その位相差がゼロとなるように制御回路 5' から無限移相器 1 1 に制御信号 $\sin \theta$ と \cos

θ を送出して、ミキサ 9 に送られる局部発振周波数信号を無限移相器 11 で θ だけ移相させることによる。

すなわち、第 6 図に示されるように、位相検波回路 3' で検出された位相差 θ が 0° でない場合、この位相差 θ が 0° に復旧する制御方向に無限移相器 11 が回転するように制御している。

(発明が解決しようとする課題)

上述の S D 受信機で、主系信号 $I_F m$ と副系信号 $I_F s$ が同相付近（すなわち位相差 $\theta = 0^\circ$ ）においても無限移相器 11 の制御が常に行われるようにしておくと、合成後の出力信号に常に位相変化が生じるようになり、これは復調器においてエラーを生じさせる原因となる。

このため従来の S D 受信機では、第 6 図に示されるように、位相差 θ が 0° 付近では位相検波電圧 V_{pd} に所定幅の同相認識領域 $\pm V_{sh}$ を設け、位相検波電圧 V_{pd} がこの同相認識領域 $\pm V_{sh}$ に入っているのならばそれが正確に 0° でなくとも同相

に引き込まれたものと見なし、無限移相器 11 による移相制御を停止させている。これにより同相認識領域 $\pm V_{sh}$ 内では合成信号の位相変化が抑止され、復調器で生じるエラーを低減することができる。

しかしながら、位相検波電圧 V_{pd} が 0° となる位相差 θ は 0° （すなわち同相）の場合だけではなく、 $\pm 180^\circ$ （すなわち逆相）の場合もある。この逆相に引き込まれた場合においても、位相検波電圧 V_{pd} が同相認識領域 $\pm V_{sh}$ 内であるときは位相制御が停止されてしまう。

この結果、何等かの原因、例えば電源投入時の不安定動作あるいは急峻な瞬間的フェージング等により突発的に位相関係が逆相に引き込まれた場合、その逆相状態で制御が停止され、さらに何等かの位相変化が受信波に生じない限り、同相に復旧することができない。しかも逆相引込み状態では信号合成は逆相で行われるため、レベルの大幅低下となり、最悪には信号断となってしまう。

したがって本発明の目的は、受信波の位相関係

が逆相に引き込まれた場合でも、速やかに逆相状態から抜け出して同相引込み状態に復旧できるようになることがある。

(課題を解決するための手段)

第 1 図は本発明に係る原理説明図である。

本発明に係る同相合成方式スペースダイバーシチ受信機は、離隔配置された二つのアンテナ 6 1, 6 2 で受信された二つの受信信号の位相関係を制御する移相手段 6 4 と、位相制御された受信信号の位相差を検出する位相検出手段 6 3 と、位相検出手段 6 3 の検出位相差に応じて同相引込み状態となるように移相手段 6 4 を制御する制御手段 6 5 と、移相手段 6 4 による位相制御後の受信信号を合成する合成手段 6 6 と、合成手段 6 6 の出力信号を自動利得制御しつつ増幅する A G C 増幅手段 6 7 と、A G C 增幅手段 6 7 の制御信号に基づき逆相引込み状態を検出する逆相引込み検出手段 6 8 と、逆相引込み検出手段 6 8 で逆相引込み状態が検出された時に強制的に逆相から抜け出すよ

うに制御を行う逆相抜け出し手段 6 9 を具備してなる。

(作用)

位相制御後の二つの受信信号が逆相状態に引き込まれた場合、この逆相状態の発生を A G C 增幅手段 6 7 の A G C 制御信号に基づき逆相引込み検出手段 6 8 で検出し、その検出に応じて逆相抜け出し手段 6 9 で逆相状態から抜け出すように制御を行う。これにより速やかに逆相引込み状態から抜け出して同相引込み状態に復旧することができる。

(実施例)

以下、図面を参照して本発明の実施例を説明する。

本発明の一実施例としての同相合成方式 S D 受信機が第 2 図に示される。この S D 受信機はディジタル多重マイクロ波無線通信方式の受信機として用いられており、スペースダイバーシチ受信波

を同相合成するものである。第2図中、第5図と同じ構成要素には同じ参照符号が付されている。この実施例装置が第5図の従来例と相違する点は、AGC増幅器18のAGC電圧側に基づき逆相引込みを判定する逆相判定回路4を備えており、制御回路5がこの逆相判定回路4からの判定出力に基づき逆相引込みから抜け出して同相引込みへ復旧できる構成となっていることである。

AGC増幅器18は、第2図に示されるように、帯域フィルタ17からの出力信号を可変利得で増幅する可変利得増幅器181と、可変利得増幅器181の出力信号のレベルを検知する検波器182と、検波器182のレベル検知信号に基づいて可変利得増幅器181の出力信号のレベルが一定となるように可変利得増幅器181にその利得を制御するためのAGC電圧側を与える制御回路183とを含み構成される。このAGC増幅器18のAGC電圧側はまた逆相判定回路4にも入力される。

逆相判定回路4はこのAGC電圧側に基づき主

系信号IF_mと副系信号IF_sが逆相引込み状態にあるか否かを判定する回路である。すなわち、逆相引込み状態では合成器16において主系信号IF_mと副系信号IF_sが逆相で合成されるため、合成後の出力信号はその信号レベルが大幅に低下する。

一方、AGC増幅器18はこの合成信号を一定レベルまで増幅するため、同相合成時よりもはるかに大きなAGC電圧側を可変利得増幅器181に与える。そこで逆相時のAGC電圧に近い所定のしきい値電圧V₁を定め、逆相判定回路4においてAGC増幅器18のAGC電圧がこのしきい値電圧V₁を越えたか否かで、主系信号IF_mと副系信号IF_sが逆相引込み状態にあるか否かを判定できるものである。

この逆相判定回路4および制御回路5の詳細なブロック構成が第3図に示される。図示の如く、逆相判定回路4は、AGC増幅器18のAGC電圧側をしきい値電圧V₁と比較する比較器41と、比較器41の出力信号が所定時間以上継続した場

11

合にのみ比較器41の出力信号を制御回路5に送出するタイマ回路42からなる。

この逆相判定回路4においては、前述したように、比較器41に入力されるAGC電圧側がしきい値電圧V₁を越えた場合に主系信号IF_mと副系信号IF_sが逆相引込み状態にあると判定する。このように逆相引込み状態と判定した場合、比較器41は“H”レベルの出力信号をタイマ回路42を介して制御回路5に出力する。ここでタイマ回路42は瞬時的なフェージング等によって誤動作しないように、フェージング等と同相引込みによる制御不能とを区別するために設けられている。

制御回路5は、比較器501と502、インバータ505、JKフリップフロップからなるNAND回路503と504、AND回路506、アップダウンカウンタ507、ROM508と509、D/A変換器510と511、NAND回路512を含み構成される。

この制御回路5においては、位相検波器34からの位相検波出力(a)は比較器501と502に入

12

力されて同相認識領域のしきい値±V_{sh}とそれぞれ比較される。比較器501は位相検波出力(a)がしきい値+V_{sh}を上回ると“H”レベルの出力信号をNAND回路503に与え、一方、比較器502は位相検波出力(a)がしきい値-V_{sh}を下回るとインバータ505を介して“H”レベルの出力信号をNAND回路504に与える。これによりNAND回路503はクロックCLKをAND回路506を介してカウンタ507のカウントアップ入力Uに与え、NAND回路504は入力クロックCLKをカウンタ507のカウントダウン入力Dに与える。

一方、位相検波出力(a)が同相認識領域±V_{sh}以内ではNAND回路503と504に入力される信号は“L”レベルとなり、これらNAND回路503と504は閉じられ、これにより移相制御動作は停止される。

カウンタ507のカウント出力信号はROM508と509にアドレス入力される。ROM508と509は検波された位相差θを制御信号sin

13

—170—

14

θ と $\cos \theta$ に変換するテーブルを格納するメモリであり、その変換された制御信号 $\sin \theta$ と $\cos \theta$ はそれぞれ D/A 変換器 510 と 511 でアナログ信号に変換されて無限移相器 11 に送出される。

以上の制御回路 5 の構成は従来例の制御回路 5' とほぼ同じであるが、本実施例装置では、逆相判定回路 4 からの判定出力が NAND 回路 512 に入力されており、クロック CLK がこの NAND 回路 512 と AND 回路 506 を介してカウンタ 507 のカウントアップ入力 U に入力されている点が従来例と相違している。

この新たに付加された構成により、制御回路 5 は、逆相判定回路 4 が逆相引込みと判定した場合に、クロック CLK を NAND 回路 512 と AND 回路 506 を介してカウンタ 507 に入力させ、それによりカウンタ 507 をカウントアップさせて逆相引込みにおける制御停止状態から抜け出させるようにしている。

この実施例装置の動作を以下に説明する。

正常動作時においては、位相検波回路 3 の位相

検波器 34 は検波出力 (a) を制御回路 5 に出力し、制御回路 5 はそれに応じて無限移相器 11 に制御信号 $\sin \theta$ と $\cos \theta$ を送り、それにより位相検波出力 (a) が位相差 $\theta = 0^\circ$ に対応した 0 V になるよう S/D 系の受信波 RFs の位相をシフトさせて主系信号 I_Fm と副系信号 I_Fs を同相に引き込んでおり、よって合成器 16 では同相合成が行われている。

いま何等かの原因により主系信号 I_Fm と副系信号 I_Fs が逆相引込み状態になったものとする。この逆相引込み状態は AGC 増幅器 18 の AGC 電圧 (b) が V_1 を上回ったことにより検出できる。よって逆相判定回路 4 はこの逆相引込みを検知し、制御回路 5 に "H" レベルの検知信号を出力する。これにより制御回路 5 はそのカウンタ 507 をカウントアップさせて無限移相器 11 を一方向に位相回転させる。これにより逆相引込みにおける制御停止状態から抜け出で、後は通常の位相制御が行われて同相に引き込むことが可能になる。

なおこの逆相引込みによっても逆相状態から抜け

15

出せない時には、その情報により機器アラーム送出または無限移相器停止、さらに必要に応じて主系信号と副系信号を断にするなどの対処を行ってもよい。

本発明の実施にあたっては種々の変形形態が可能である。例えば上述の実施例では逆相引込み時にこの逆相引込みから抜け出す方法として、制御回路のカウンタを強制的にカウントアップするように構成したが、勿論これに限られず、例えば逆相引込み検知時に制御回路をリセットする方法によってもよい。リセットの方法としては、制御回路のカウンタを所定値にリセットする、制御回路がマイクロプロセッサを含み構成される時にはこのマイクロプロセッサをリセットする、あるいは装置全体に電源リセットをかける等の種々の方法がある。

また逆相引込みが検知された時には制御回路 5 における同相認識領域 $\pm V_{sh}$ を無くし（すなわち $V_{sh} = 0$ とする）、それにより位相差 $\theta = \pm 180^\circ$ 付近で位相制御が停止されることがないよう

16

にして同相引込み状態に復帰するようにしてもよい。この場合、同相引込みに復旧した時点では同相認識領域 $\pm V_{sh}$ を再び設定するようとする。

また上述の実施例では無限移相器による位相制御を、周波数変換用の局部発振器の発振出力の位相をシフトさせることによって行ったが、これに限らず、例えば第 4 図に示されるように、無限移相器 11 を副系受信回路の増幅器 13 とイコライザ 15 との間に挿入して中間周波帯で行うもの、あるいは中間周波数に周波数変換する前の無線周波帯の受信回路に無限移相器を挿入して行うもの、あるいはこれらを副系ではなく主系の受信回路にて行うものなどの変形例も可能である。

(発明の効果)

本発明によれば、合成のための受信信号が何等かの原因により逆相に引き込まれた場合でも、直ちに逆相状態から抜け出して正常な同相引込み状態に復旧することができ、それにより逆相引込みに起因する復調信号のエラー発生する抑制するこ

とができる。これにより S D 受信機の信頼性を向上させることができる。

4. 図面の簡単な説明

第 1 図は本発明に係る原理説明図。

第 2 図は本発明の一実施例としての同相合成方式 S D 受信機を示すブロック図。

第 3 図は実施例装置における逆相判定回路および制御回路の詳細な構成を示すブロック図。

第 4 図は本発明の変形例を示すブロック図。

第 5 図は同相合成方式 S D 受信機の従来例を示すブロック図、および、

第 6 図は従来例装置における位相検波回路の位相検波特性を示すブロック図である。

図において、

1, 2 ……アンテナ

3 ……位相検波回路

4 ……逆相判定回路

5, 5' ……制御回路

6, 7, 12, 13 ……増幅器

8, 9 ……ミキサ

10 ……局部発振器

11 ……無限移相器

14, 15 ……イコライザ

16 ……合成器

17 ……狭帯域フィルタ

18, 31, 32 ……AGC 増幅器

34 ……乗算器からなる位相検波器

33 ……π/2 移相器

181 ……可変利得増幅器

182 ……レベル検波器

183 ……AGC 制御回路

41, 501, 502 ……比較器

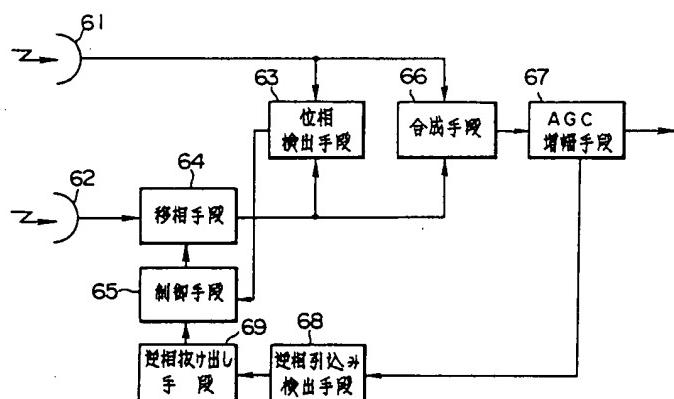
503, 504, 512 ……NAND 回路

506 ……AND 回路

507 ……アップダウンカウンタ

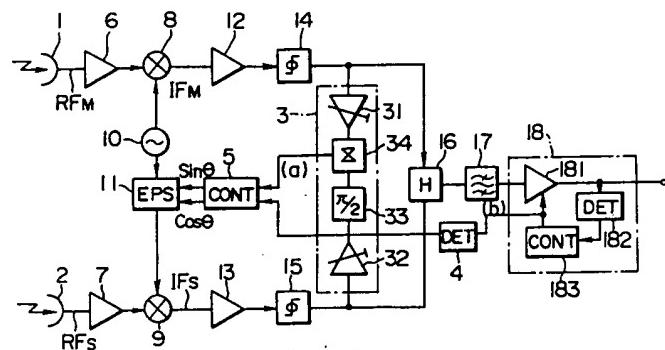
508, 509 ……ROM

510, 511 ……D/A 変換器



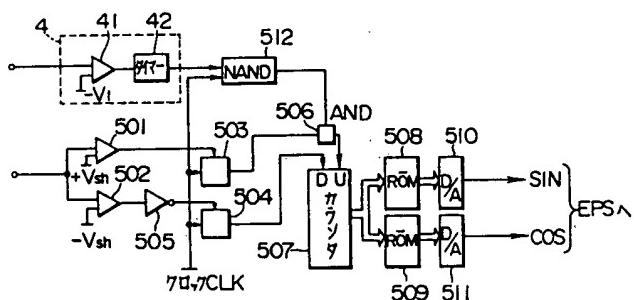
本発明の原理説明図

第 1 図



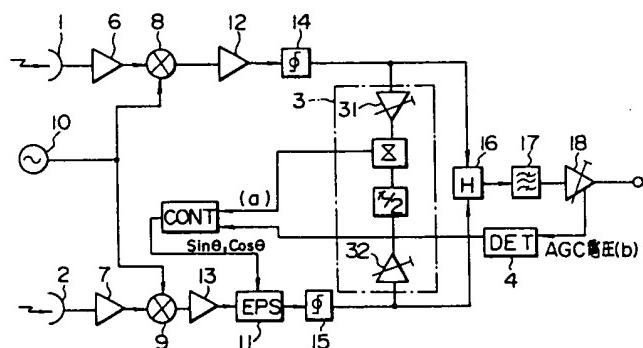
本発明の実施例

第 2 図



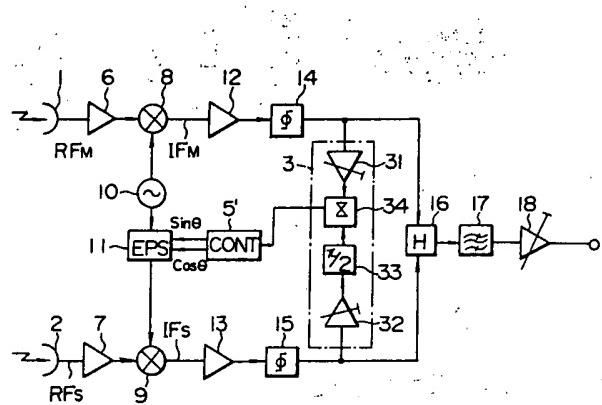
制御回路の構成例

第 3 図

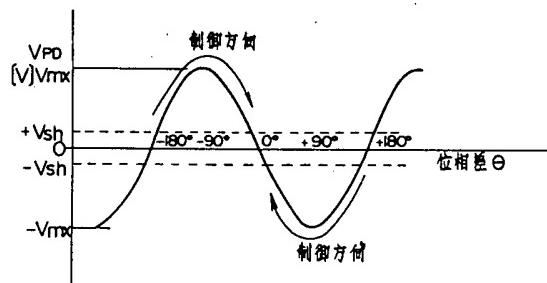


本発明の変形例

第 4 図



従来例
第 5 図



位相検波回路の位相検波電圧

第 6 図